

PAT-NO: JP409246969A

DOCUMENT-IDENTIFIER: JP 09246969 A

TITLE: MEASUREMENT METHOD FOR CHARACTERISTIC OF D/A  
CONVERTER  
AND MEASUREMENT UNIT FOR CHARACTERISTIC OF D/A  
CONVERTER

PUBN-DATE: September 19, 1997

INVENTOR-INFORMATION:

NAME

OTA, AKIO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

ROHM CO LTD

N/A

APPL-NO: JP08049154

APPL-DATE: March 6, 1996

INT-CL (IPC): H03M001/10, G01R027/28 , G01R031/00 , G01R031/316

ABSTRACT:

PROBLEM TO BE SOLVED: To provide the measurement method of the characteristics of a D/A converter requiring less memory capacity at the time of measuring the maximum value and minimum value of integrated nonlinearity errors or differentiated nonlinearity errors which are the characteristics of the D/A converter.

SOLUTION: In this measurement method, an analog voltage outputted by the D/A converter which is an object to be measured is converted to a digital code, an arithmetic operation is performed based on the digital code and the integrated nonlinearity error or the differentiated nonlinearity error is calculated. In this case, every time the arithmetic operation is ended, the arithmetic result is subscribed in a first address and stored (#609) when the arithmetic result VSE is larger than data stored in the first address inside a storage device (Y of #608) and the arithmetic result is subscribed in a second address and stored (#611) when it is smaller than the data stored in the second address inside the storage device (Y of #610).

COPYRIGHT: (C)1997,JPO

特開平9-246969

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 M 1/10			H 0 3 M 1/10	D
G 0 1 R 27/28			G 0 1 R 27/28	Z
31/00			31/00	
31/316			31/28	C

審査請求 未請求 請求項の数2 OL (全7頁)

(21)出願番号 特願平8-49154

(22)出願日 平成8年(1996)3月6日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72)発明者 太田 明男

京都市右京区西院清崎町21番地 ローム株式会社内

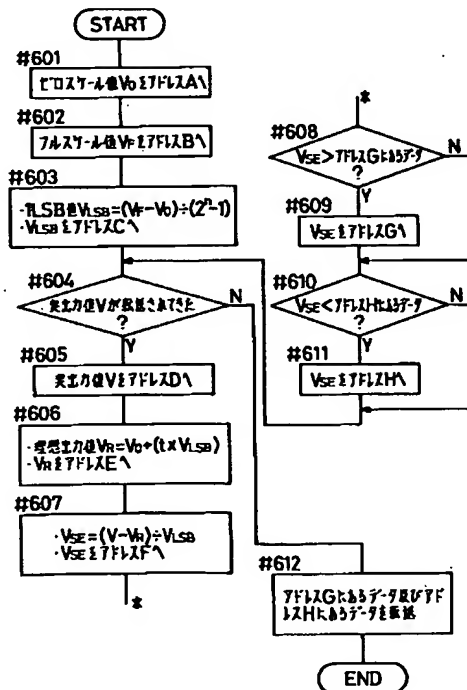
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 D/Aコンバーターの特性の測定方法及びD/Aコンバーターの特性の測定ユニット

## (57)【要約】

【課題】 被測定物であるD/Aコンバーターが出力するアナログ電圧をデジタルコードに変換し、そのデジタルコードに基づいて演算を行って積分非直線性誤差あるいは微分非直線性誤差を算出するD/Aコンバーターの特性の測定方法において、積分非直線性誤差あるいは微分非直線性誤差の最大値、最小値を求める際には、多くのメモリ容量が必要である。

【解決手段】 被測定物であるD/Aコンバーターが出力するアナログ電圧をデジタルコードに変換し、そのデジタルコードに基づいて演算を行って積分非直線性誤差あるいは微分非直線性誤差を算出するD/Aコンバーターの特性の測定方法において、演算を終了する毎に、その演算結果 $V_{SE}$ が、記憶装置内の第1アドレスに記憶してあるデータよりも大きければ(#608のY)、前記演算結果を前記第1アドレスに上書きして記憶し(#609)、記憶装置内の第2アドレスに記憶してあるデータよりも小さければ(#610のY)、前記演算結果を前記第2アドレスに上書きして記憶する(#611)ことを特徴としている。



## 【特許請求の範囲】

【請求項1】 被測定物であるD/Aコンバータが出力するアナログ電圧をデジタルコードに変換し、そのデジタルコードに基づいて演算を行って積分非直線性誤差あるいは微分非直線性誤差を算出するD/Aコンバータの特性の測定方法において、演算を終了する毎に、その演算結果が、記憶装置内の第1アドレスに記憶してあるデータよりも大きければ、前記演算結果を前記第1アドレスに上書きして記憶し、記憶装置内の第2アドレスに記憶してあるデータよりも小さければ、前記演算結果を前記第2アドレスに上書きして記憶することを特徴とするD/Aコンバータの特性の測定方法。

【請求項2】 少なくとも被測定物であるD/Aコンバータが出力するアナログ電圧をデジタルコードに変換するA/D変換手段、及び、そのA/D変換手段を経たデジタルコードに基づいて演算を行う演算処理手段を有し、D/Aコンバータの特性の測定のみを行うD/Aコンバータの特性の測定ユニットにおいて、前記演算処理手段が、演算を終了する毎に、その演算結果が、記憶装置内の第1アドレスに記憶してあるデータよりも大きければ、前記演算結果を前記第1アドレスに上書きして記憶し、記憶装置内の第2アドレスに記憶してあるデータよりも小さければ、前記演算結果を前記第2アドレスに上書きして記憶することを特徴とするD/Aコンバータの特性の測定ユニット。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ICに内蔵された、あるいは、単体のD/Aコンバータの特性（積分非直線性誤差及び微分非直線性誤差）の測定方法及び測定ユニットに関するものである。

## 【0002】

【従来の技術】被測定物であるD/Aコンバータが出力するアナログ電圧をデジタルコードに変換し、そのデジタルコードに基づいて演算を行って積分非直線性誤差あるいは微分非直線性誤差を算出するD/Aコンバータの特性の測定方法において、積分非直線性誤差あるいは微分非直線性誤差の最大値、最小値を求める際には、各デジタルコードに基づいて行った各演算結果を最後にまとめて比較し、最大の演算結果を積分非直線性誤差あるいは微分非直線性誤差の最大値、最小の演算結果を積分非直線性誤差あるいは微分非直線性誤差の最小値としていた。

## 【0003】

【発明が解決しようとする課題】しかしながら、上記のようにして積分非直線性誤差あるいは微分非直線性誤差の最大値、最小値を求めると、各演算結果を記憶装置内のそれぞれ別々のアドレスに記憶して残しておかなければならず、そのため多くのメモリ容量が必要となる。例えば、被測定物のD/Aコンバータのビット数が8ビ

ットの場合は255アドレス、10ビットの場合は1023アドレス、12ビットの場合は4095アドレスが新たに必要となる。演算処理手段が持っているメモリ及び外部記憶装置では容量が足りない場合は、さらに別途外部記憶装置を付け加えることになり、その分回路規模が大きくなるという不具合につながる。

【0004】そこで、本発明は、D/Aコンバータの特性である積分非直線性誤差あるいは微分非直線性誤差の最大値、最小値を測定する際に、より少ないメモリ容量ですむD/Aコンバータの特性の測定方法を提供することを第1の目的とする。

【0005】次に、D/Aコンバータの特性である積分非直線性誤差あるいは微分非直線性誤差の最大値、最小値を測定する際に、より少ないメモリ容量ですむD/Aコンバータの特性の測定ユニットを提供することを第2の目的とする。

## 【0006】

【課題を解決するための手段】上記の目的を達成するため、請求項1に記載のD/Aコンバータの特性の測定方法では、被測定物であるD/Aコンバータが出力するアナログ電圧をデジタルコードに変換し、そのデジタルコードに基づいて演算を行って積分非直線性誤差あるいは微分非直線性誤差を算出するD/Aコンバータの特性の測定方法において、演算を終了する毎に、その演算結果が、記憶装置内の第1アドレスに記憶してあるデータよりも大きければ、前記演算結果を前記第1アドレスに上書きして記憶し、記憶装置内の第2アドレスに記憶してあるデータよりも小さければ、前記演算結果を前記第2アドレスに上書きして記憶することを特徴としている。

【0007】請求項2に記載のD/Aコンバータの特性の測定ユニットでは、少なくとも被測定物であるD/Aコンバータが出力するアナログ電圧をデジタルコードに変換するA/D変換手段、及び、そのA/D変換手段を経たデジタルコードに基づいて演算を行う演算処理手段を有し、D/Aコンバータの特性の測定のみを行うD/Aコンバータの特性の測定ユニットにおいて、前記演算処理手段が、演算を終了する毎に、その演算結果が、記憶装置内の第1アドレスに記憶してあるデータよりも大きければ、前記演算結果を前記第1アドレスに上書きして記憶し、記憶装置内の第2アドレスに記憶してあるデータよりも小さければ、前記演算結果を前記第2アドレスに上書きして記憶することを特徴としている。

【0008】第1アドレスにそれまでの演算結果の最大値を、第2アドレスにそれまでの演算結果の最小値を記憶させておけば、全ての演算が終了した時点で第1アドレスに記憶されているデータが最大値、第2アドレスに記憶されているデータが最小値ということになる。したがって、演算結果の最大値、最小値を測定するために新

たに必要なアドレスは、第1アドレス、第2アドレスの2つですみ、被測定物であるD/Aコンバーターのビット数に左右されない。

【0009】

【発明の実施の形態】以下に本発明の実施形態を図面を参照しながら説明する。図1は本発明の一実施形態であるD/Aコンバーターの特性の測定ユニット20にテストシステム1とDUT2を接続した状態のブロック図であって、3は差動アンプ、4は入力レンジ切り替えアンプ、5と12はローパスフィルター、6はA/Dコンバーター、7と10はデータラッチ回路、8はCPU、9はRAM、11はD/Aコンバーター、13はアンプである。

【0010】同図において、テストシステム1からDUT2にALL「L」からALL「H」まで全ての組み合わせのデジタルコード（必要な組み合わせだけでも良い）が順次入力される（qはDUT2のビット数）。尚、テストシステム1はDUT2へのデジタルコードの入力及びCPU8への命令、情報の転送をするだけのものであり、汎用のファンクションジェネレーターで代用しても良い。

【0011】それぞれのデジタル入力コードに対してDUT2からアナログ電圧が順次出力される。入力レンジ切り替えアンプ4により適切な入力レンジに切り替えられた差動アンプ3の2つの入力のどちらか一方からDUT2のアナログ出力電圧が取り込まれ、他方から基準電圧（通常GND）が取り込まれる。

【0012】取り込まれたDUT2のアナログ出力電圧はローパスフィルター5により高周波成分がカットされる。ローパスフィルター5、12の次数は何次のものでも良く、種類も何種類ものフィルターを選択できるようにしても良いし、1種類の固定でも良い。また、フィルターを通さずにスルーの経路でも良い。

【0013】ローパスフィルター5により高周波成分がカットされたアナログ電圧はA/Dコンバーター6によりデジタルコードに変換される。このA/Dコンバーター6は何ビットのものでも良く、その出力データ数（n）はA/Dコンバーター自身によって決まるので、A/Dコンバーターの種類によっては出力データを数回に分けて出力する場合もあり、シリアルデータである場合もある。

【0014】データラッチ回路7はA/Dコンバーター6からのデジタルコードを一旦保持し、適切なタイミングでCPU8へ順次転送する。データラッチ回路7、10は汎用ロジックデバイスで構成してもゲートアレイで構成しても良い。また、CPU8がデータラッチ機能を持っている場合は、データラッチ回路7、10は不要である。

【0015】CPU8は、テストシステム1からの命令、情報に従い、データラッチ回路7から転送されてき

たデジタルコードに基づいて所定の演算を行い、必要な演算結果を自身のメモリあるいはRAM9に記憶させて、演算結果をデータラッチ回路10に転送する。CPU8は何ビットのものでも良く、RAM9もどのようなものでも良く、また、CPU8自身のメモリで十分な場合は、RAM9を接続する必要はない。

【0016】データラッチ回路10はCPU8から転送されてきたデジタルコードを一旦保持し、適切なタイミングでD/Aコンバーター11へ送る。D/Aコンバーター11ではデジタルコードがアナログ電圧に変換される。このD/Aコンバーター11は何ビットのものでも良く、その入力データ数（m）はD/Aコンバーター自身によって決まるので、D/Aコンバーターの種類によっては入力データを数回に分けて入力する場合もあり、シリアルデータである場合もある。

【0017】D/Aコンバーター11からのアナログ電圧はローパスフィルター12で高周波成分がカットされた後、アンプ13で必要に応じて増幅されてモニター出力される。このモニター出力にオシロスコープを接続すれば、DUT2の積分非直線性誤差、微分非直線性誤差のデータを得ることができる（図2、3にその一例を示す）。

【0018】このように、DUT2の積分非直線性誤差、微分非直線性誤差のデータをオシロスコープによりアナログ的に表示すると、DUT2が高ビットである場合などに生じる小さなデータ変化を確認しづらい。そこで、図4に示すように、デジタルデータ表示装置14をデータラッチ回路10（あるいはCPU8でもよい）に接続すれば、積分非直線性誤差、微分非直線性誤差のデータがデジタル的に表示されるので、小さなデータ変化も容易に確認することができる。

【0019】デジタルデータ表示装置14の一構成例を図5に示す。同図において、データラッチ回路10からのデジタルコードによりドライバーIC51がデジタルコードのビット数m個のLED52の点灯、消灯をそれぞれ別個に制御している。つまり、各LEDが各ビットに対応しており、対応しているビットが「L」のときは点灯し、「H」のときは消灯する（これとは逆に「L」のときに消灯し、「H」のときに点灯させてもよい）。

【0020】以下にDUT2の積分非直線性誤差を測定する場合にCPU8が行う演算の流れを図6に示すフローチャートを用いて説明する。まず、ゼロスケール値V<sub>0</sub>（ゼロスケール電圧（デジタル入力コードがALL「L」であるときにDUT2が出力するアナログ電圧）をA/Dコンバーター6でデジタルコードに変換したもの）が転送されてくるので、それを自身のメモリあるいはRAM9内のアドレスAに記憶する（#601）。

【0021】次に、フルスケール値V<sub>F</sub>（フルスケール電圧（デジタル入力コードがALL「H」であるときにDUT2が出力するアナログ電圧）をA/Dコンバー

5

ー6でデジタルコードに変換したもの)が転送されてくるので、それを自身のメモリあるいはRAM9内のアドレスBに記憶する(#602)。

【0022】次に、記憶したゼロスケール値 $V_0$ 、フルスケール値 $V_F$ 、及び、DUT2のビット数 $n$ (テストシステム1から転送されてくる)から1LSB値 $V_{LSB}$ を以下の(1)式により算出し、それを自身のメモリあるいはRAM9内のアドレスCに記憶する(#603)。アナログ的に表現すると、1LSB値 $V_{LSB}$ は理想ステップ幅(DUT2のデジタル入力コードが1ビット変化した場合に、DUT2の理想出力電圧(理想直線上のアナログ出力電圧)が変化する量)であるので、#603では理想ステップ幅を求めていることになる。理想直線とはゼロスケール電圧とフルスケール電圧とを結ぶ直線である(図8参照)。

$$V_{LSB} = (V_F - V_0) \div (2^n - 1) \quad \cdots \cdots (1)$$

【0023】次に、実出力値 $V$ (ある1つのデジタル入力コードに対するDUT2の実際のアナログ出力電圧をA/Dコンバータ6でデジタルコードに変換したものが転送されてくると(#604のY)、それを自身のメモリあるいはRAM9内のアドレスDに記憶する(#605)。

【0024】尚、後述の#611を終了する毎に、CPU8には複数のデジタル入力コードに対するDUT2の実出力値が順次1つずつ転送されてくることになるので、#605でこれら複数の実出力値をそれぞれ別々のアドレスに記憶して残しておいてもよいが、アドレスDに記憶した実出力値は後述の#607が終了すると不要となるため、本実施形態のように、転送されてきた実出力値をアドレスDに順次上書きしてもよく、そうすることによってメモリ容量が少なくてすむ。

【0025】次に、DUT2の実出力値が#605で記憶したものとなるデジタル入力コードに対するDUT2の理想出力値 $V_R$ を以下の式(2)により算出し、それを自身のメモリあるいはRAM9内のアドレスEに記憶する(#606)。尚、式(2)における $t$ は、DUT2が8ビットの場合を例にとると、デジタル入力コードが01h(HEXコード)であるときには1、02hであるときには2、……、FFhであるときには255となる。アナログ的に表現すると、理想出力値は理想出力電圧であるので、#606では理想出力電圧を求めていることになる。

$$V_R = V_0 + (t \times V_{LSB}) \quad \cdots \cdots (2)$$

【0026】尚、#606では複数のデジタル入力コードに対するDUT2の理想出力値を順次1つずつ算出することになるので、これら複数の理想出力値をそれぞれ別々のアドレスに記憶して残しておいてもよいが、アドレスEに記憶した理想出力値は後述の#607が終了すると不要となるため、本実施形態のように、算出した理想出力値をアドレスEに順次上書きしてもよく、そうす

6

ることによってメモリ容量が少なくてすむ。

【0027】次に、式(3)に示すように、実出力値 $V$ と理想出力値 $V_R$ との差をLSB値 $V_{LSB}$ に換算し(1LSB値 $V_{LSB}$ で割り)、その結果 $V_{SE}$ を自身のメモリあるいはRAM9内のアドレスFに記憶する(#607)。アナログ的に表現すると、 $V_{SE}$ はDUT2のある1つのデジタル入力コードに対する積分非直線性誤差であるので、#607では積分非直線性誤差を求めていることになる。

$$V_{SE} = (V - V_R) \div V_{LSB} \quad \cdots \cdots (3)$$

【0028】次に、#607で算出した積分非直線性誤差 $V_{SE}$ が自身のメモリあるいはRAM9内のアドレスGに記憶してあるデータよりも大きいかな否かを判定する(#608)。大きい場合は(#608のY)、#607で算出した積分非直線性誤差 $V_{SE}$ をアドレスGに上書きして記憶する(#609)。大きくない場合は(#608のN)、#609をスキップし、次ステップへ移行する。尚、初期設定としてアドレスGには最小データ(ゼロ)を記憶しておく。

【0029】次に、#607で算出した積分非直線性誤差 $V_{SE}$ が自身のメモリあるいはRAM9内のアドレスHに記憶してあるデータよりも小さいかな否かを判定する(#610)。小さい場合は(#610のY)、#607で算出した積分非直線性誤差 $V_{SE}$ をアドレスHに上書きして記憶する(#611)。小さくない場合は(#610のN)、#611をスキップし、次ステップへ移行する。尚、初期設定としてアドレスHには最大データ(ゼロ)を記憶しておく。

【0030】#611が終了すると、#604へ戻り、実出力値 $V$ が転送されてくると(#604のY)、#605～611を実行するが、実出力値 $V$ が転送されてこない場合は(#604のN)、DUT2の各デジタル入力コードに対して処理が終了した(DUT2の各デジタル入力コードに対する積分非直線性誤差を算出した)ということであるから、アドレスGに記憶しているデータがDUT2の積分非直線性誤差の最大値、アドレスHに記憶しているデータがDUT2の積分非直線性誤差の最小値となるので、それらを出力する(#612)。

【0031】以上のようなフローで処理をすれば、DUT2の積分非直線性誤差の最大値、最小値を測定するために新たに必要となるアドレス数は、DUT2のビット数に関係なく、アドレスG、Hの2つですむ(従来は、例えばDUT2が8ビットの場合は256アドレス必要であり、DUT2のビット数が大きければ大きいほど多くのアドレスが必要であった)。

【0032】以下にDUT2の微分非直線性誤差を測定する場合にCPU8が行う演算の流れを図7に示すフローチャートを用いて説明する。まず、ゼロスケール値 $V_0$ が転送されてくるので、それを自身のメモリあるいはRAM9内のアドレスAに記憶する(#701)。

【0033】次に、フルスケール値 $V_F$ が転送されてくるので、それを自身のメモリあるいはRAM9内のアドレスBに記憶する(#702)。

【0034】次に、記憶したゼロスケール値 $V_0$ 、フルスケール値 $V_F$ 、及び、DUT2のビット数 $n$ (テストシステム1から転送されてくる)から1LSB値 $V_{LSB}$ を以下の(1)式により算出し、それを自身のメモリあるいはRAM9内のアドレスCに記憶する(#703)。アナログ的に表現すると、1LSB値 $V_{LSB}$ は理想ステップ幅であるので、#703では理想ステップ幅

$$V_{LSB} = (V_F - V_0) \div (2^n - 1) \quad \dots\dots (1)$$

【0035】次に、実出力値 $V$ (ある1つのデジタル入力コードに対するDUT2の実際のアナログ出力電圧をA/Dコンバータ6でデジタルコードに変換したものが転送されてくると(#704のY)、それを自身のメモリあるいはRAM9内のアドレスDに記憶する(#705)。

【0036】尚、後述の#711が終了する毎に、CPU8には複数のデジタル入力コードに対するDUT2の実出力値が順次1つずつ転送されてくることになるので、#705でこれら複数の実出力値をそれぞれ別々のアドレスに記憶して残しておいてもよいが、本実施形態のように、演算上支障を来さないようにしておけば(#711)、転送されてきた実出力値をアドレスDに順次上書きしてもよく、そうすることによってメモリ容量が少なくてすむ。

【0037】次に、式(4)に示すように、アドレスDに記憶しているデータ $V_D$ とアドレスAに記憶しているデータ $V_A$ との差から1LSB値 $V_{LSB}$ を減じたものを1LSB値 $V_{LSB}$ に換算し(1LSB値で割り)、その結果 $V_{BE}$ を自身のメモリあるいはRAM9内のアドレスEに記憶する(#706)。アナログ的に表現すると、 $V_{BE}$ はDUT2のある1つのデジタル入力コードに対する微分非直線性誤差であるので、#706では微分非直線性誤差を求めていることになる。

$$V_{BE} = \{ (V_D - V_A) - V_{LSB} \} \div V_{LSB} \quad \dots\dots (4)$$

【0038】次に、#706で算出した微分非直線性誤差 $V_{BE}$ が自身のメモリあるいはRAM9内のアドレスFに記憶してあるデータよりも大きいかな否かを判定する(#707)。大きい場合は(#707のY)、#706で算出した微分非直線性誤差 $V_{BE}$ をアドレスFに上書きして記憶する(#708)。小さい場合は(#707のN)、#708をスキップし、次ステップへ移行する。尚、初期設定としてアドレスFには最小データ(ゼロ)を記憶しておく。

【0039】次に、#706で算出した微分非直線性誤差 $V_{BE}$ が自身のメモリあるいはRAM9内のアドレスGに記憶してあるデータよりも小さいかな否かを判定する(#709)。小さい場合は(#709のY)、#70

6で算出した微分非直線性誤差 $V_{BE}$ をアドレスGに上書きして記憶する(#710)。小さい場合は(#709のN)、#710をスキップし、次ステップへ移行する。尚、初期設定としてアドレスGには最大データ(ゼロ)を記憶しておく。

【0040】#710が終了すると、#711でアドレスDに記憶しているデータをアドレスAに上書きして記憶させる。#704へ戻り、実出力値 $V$ が転送されてくると(#704のY)、#705~711を実行するが、実出力値 $V$ が転送されてこない場合は(#704のN)、DUT2の各デジタル入力コードに対して処理が終了した(DUT2の各デジタル入力コードに対する微分非直線性誤差を算出した)ということであるから、アドレスFに記憶しているデータがDUT2の微分非直線性誤差の最大値、アドレスGに記憶しているデータがDUT2の微分非直線性誤差の最小値となるので、それら

を出力する(#712)。

【0041】以上のようなフローで処理をすれば、DUT2の微分非直線性誤差の最大値、最小値を測定するために新たに必要となるアドレス数は、DUT2のビット数の関係なく、アドレスF、Gの2つですむ(従来は、例えばDUT2が8ビットの場合は256アドレス必要であり、DUT2のビット数が大きければ大きいほど多くのアドレスが必要であった)。

#### 【0042】

【発明の効果】本発明によれば、D/Aコンバータの特性である積分非直線性誤差あるいは微分非直線性誤差の最大値、最小値を測定する際に、より少ないメモリ容量ですむので、新たに外部記憶装置を接続する必要はなくなり、回路規模が大きくなるという不具合もなくなる。

#### 【図面の簡単な説明】

【図1】 本発明の一実施形態であるD/Aコンバータの特性の測定ユニット20にテストシステム1とDUT2を接続した状態のブロック図。

【図2】 本発明の測定ユニットにオシロスコープを接続することにより得られる積分非直線性誤差のデータの一例を示す図。

【図3】 本発明の測定ユニットにオシロスコープを接続することにより得られる微分非直線性誤差のデータの一例を示す図。

【図4】 本発明の一実施形態であるD/Aコンバータの特性の測定ユニットのブロック図。

【図5】 デジタルデータ表示装置14の一構成例を示す図。

【図6】 積分非直線性誤差の最大値、最小値を測定する場合にCPU8が行う演算の流れを示すフローチャート。

【図7】 微分非直線性誤差の最大値、最小値を測定する場合にCPU8が行う演算の流れを示すフローチャー

ト。

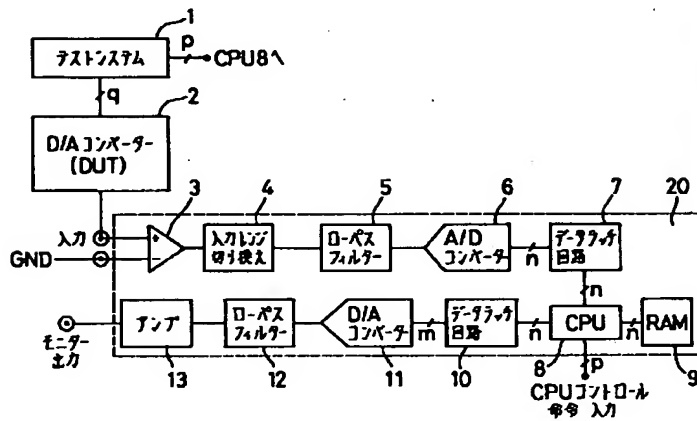
【図8】 D/Aコンバーターの理想直線を示す図。

【符号の説明】

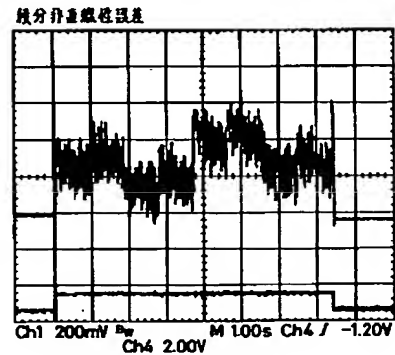
- 1 テストシステム
- 2 DUT
- 3 差動アンプ
- 4 入力レンジ切り替えアンプ
- 5 ローパスフィルター
- 6 A/Dコンバーター
- 7 データラッチ回路

- 8 CPU
- 9 RAM
- 10 データラッチ回路
- 11 D/Aコンバーター
- 12 ローパスフィルター
- 13 アンプ
- 14 デジタルデータ表示装置
- 20 D/Aコンバーターの特性の測定ユニット
- 51 ドライバーIC
- 10 52 LED

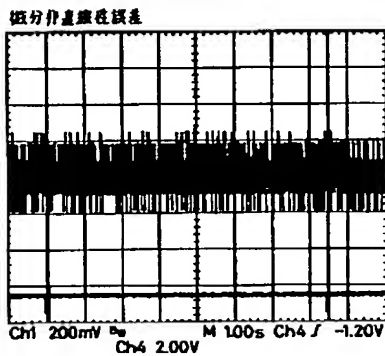
【図1】



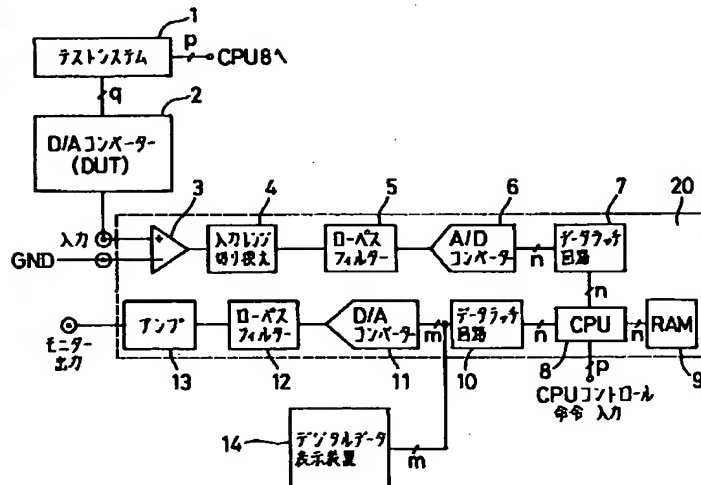
【図2】



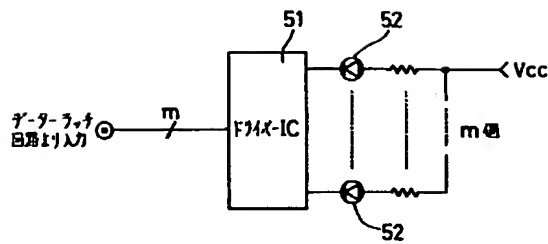
【図3】



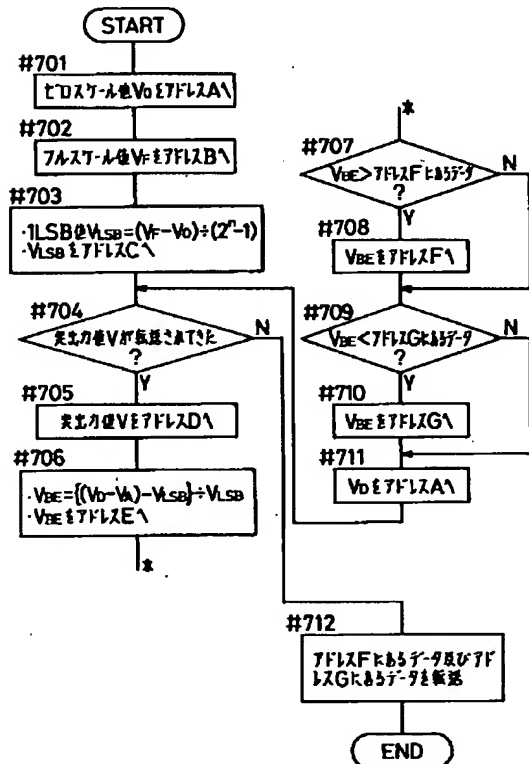
【図4】



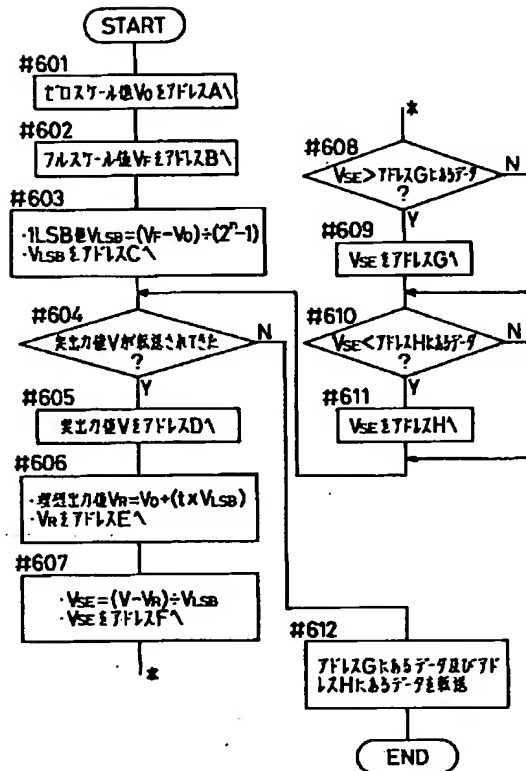
【図5】



【図7】



【図6】



【図8】

